

PATENT ABSTRACTS OF JAPAN

(1) Publication number :

11-1949

(43) Date of publication of application : 14.12.1999

(51) Int.Cl. G09G 3/20
G09G 3/20
G09G 3/32
G09G 5/00
G09G 5/10

(21) Application number : 11-019929

(71) Applicant : SONY CORP

(22) Date of filing : 28.01.1999

(72) Inventor : YANO MOTOYASU
OKAMOTO EIZO

(30) Priority

Priority number : 10 86606

Priority date : 31.03.1998

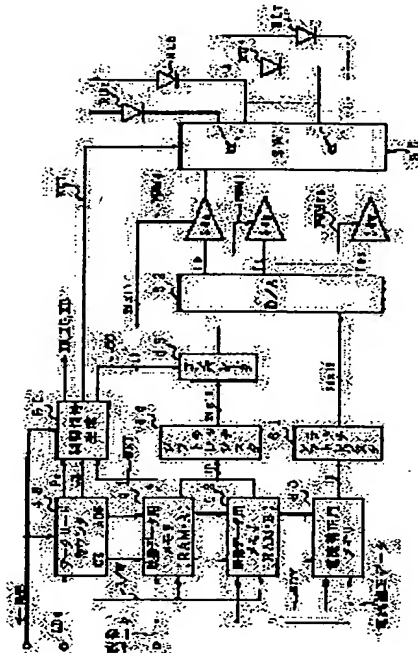
Priority country : JP

(54) VIDEO DISPLAY DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To easily compensate dispersion of luminance of light emission of a display element.

SOLUTION: When a video display section is constituted by plural display elements, compensation data compensating dispersion of luminance of light emission of individual display element are stored in a storing means 60. When a display element is to be driven, this compensation data are supplied to corresponding drivers 34a-34w. Thereby, display can be driven in a state in which dispersion of luminance of light emission is compensated. Even when a display element is exchanged or a luminance level is readjusted, data is updated to a new compensation data, and updated compensation data will do by only being stored in the storing means 60. Therefore, even when a display element is exchanged or a luminance level is readjusted, dispersion of luminance of light emission can be simply compensated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

特開平11-344949

(43)公開日 平成11年(1999)12月14日

(51)Int.CL ^a	識別記号	F I
G 0 9 G 3/20	6 4 2	G 0 9 G 3/20 6 4 2 B
		Y
3/32		3/32 A
5/00	5 1 0	5/00 5 1 0 B
5/10		5/10 B
		審査請求 未請求 請求項の数14 OL (全 10 頁)

(21) 出願番号	特願平11-19929	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成11年(1999) 1月28日	(72) 発明者	矢野 元康 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(31) 優先権主張番号	特願平10-86606	(72) 発明者	岡本 鋭造 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(32) 優先日	平10(1998) 3月31日	(74) 代理人	弁理士 山口 邦夫 (外1名)
(33) 優先権主張国	日本 (J P)		

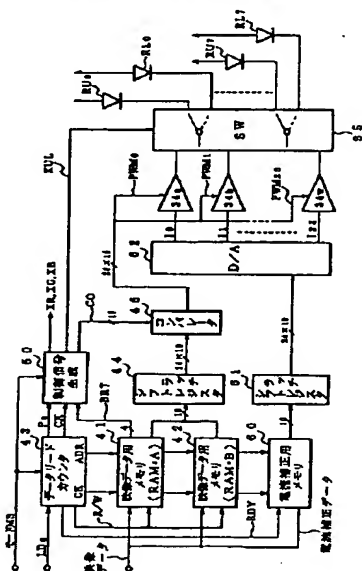
(54)【発明の名称】 映像表示装置

(57) 【要約】

【課題】表示素子の発光輝度のばらつきを簡単に補正できるようにする。

【解決手段】複数の表示素子で映像表示部を構成した場合、表示素子個々の発光輝度のばらつきを補正する補正データを記憶手段60に格納し、表示素子を駆動するときに対応するドライバ34a~34wにこの補正データを供給する。こうすると、発光輝度のばらつきが補正された状態で表示を駆動できる。表示素子を交換したり、輝度レベルを再調整するようなときでも、それらに対する新しい補正データを更新し、更新した補正データを同じ記憶手段60にメモリ直すだけでよい。したがって表示素子を交換したり、再調整するときでも発光輝度のばらつきを簡単に補正できる。

単位セル用信号処理装置 30



【特許請求の範囲】

【請求項 1】 縦横に複数の表示素子が配列された映像表示装置において、

前記表示素子に供給する映像データを記憶する第 1 の記憶手段と、

前記表示素子の発光輝度のばらつきを補正する補正データを記憶する第 2 の記憶手段と、

前記第 2 の記憶手段より読み出された補正データに基づいて前記表示素子が駆動されることを特徴とする映像表示装置。

【請求項 2】 前記表示素子が、赤色、緑色、青色を発光する素子で構成されたことを特徴とする請求項 1 に記載の映像表示装置。

【請求項 3】 前記表示素子が、有機発光素子、発光ダイオード素子、放電管、陰極線管のいずれかで構成されたことを特徴とする請求項 1 に記載の映像表示装置。

【請求項 4】 前記第 2 の記憶手段より読み出された補正データのアナログ値に対応する電流値に基づいて前記表示素子が駆動されることを特徴とする請求項 1 に記載の映像表示装置。

【請求項 5】 補正される前記映像データがデジタル値であって、

前記第 2 の記憶手段より読み出された補正データにより前記映像データが補正され、

補正された該映像データに基づき前記表示素子が駆動されることを特徴とする請求項 1 に記載の映像表示装置。

【請求項 6】 補正された前記映像データがパルス幅変調され、

前記パルス幅に基づき前記表示素子の駆動時間が制御されることを特徴とする請求項 5 に記載の映像表示装置。

【請求項 7】 前記第 1 の記憶手段は、複数の記憶手段で構成され、

前記複数の表示素子に供給する映像データが、1 フレーム若しくは 1 フィールド単位で、順次記憶されることを特徴とする請求項 1 に記載の映像表示装置。

【請求項 8】 前記第 1 の記憶手段は 2 個のメモリで構成され、

一方のメモリには奇数の 1 フレーム若しくは 1 フィールドの映像データが、他方のメモリには偶数の 1 フレーム若しくは 1 フィールドの映像データが記憶されることを特徴とする請求項 7 に記載の映像表示装置。

【請求項 9】 前記第 1 の記憶手段は、前記複数の表示素子に供給する映像データを、1 フレーム若しくは 1 フィールド単位で記憶する記憶手段であって、

前記複数の表示素子を複数の表示素子群に分けたとき、

前記第 1 の記憶手段より読み出された前記表示素子群に対応する映像データに基づいて前記表示素子群が順次切り替え駆動されることを特徴とする請求項 1 に記載の映像表示装置。

【請求項 10】 前記表示素子群が 2 つの表示素子群で

構成され、

前記第 1 の記憶手段より読み出された前記 2 つの表示素子群に対応する映像データに基づいて前記 2 つの表示素子群が交互に切り替え駆動されることを特徴とする請求項 1 に記載の映像表示装置。

【請求項 11】 前記表示素子が、赤色、緑色、青色を発光する素子で構成され、

さらに前記表示素子群が同一発光色用の表示素子で構成され、

10 該表示素子群ごとに順次同時駆動されるようになされたことを特徴とする請求項 9 に記載の映像表示装置。

【請求項 12】 前記表示素子が、赤色、緑色、青色を発光する 3 個の表示素子を単位として構成され、

前記表示素子群の切り替えに合わせて、前記 3 個の表示素子を順次切り替えて駆動することを特徴とする請求項 9 に記載の映像表示装置。

【請求項 13】 前記映像データが、立体表示用の映像データであることを特徴とする請求項 1 に記載の映像表示装置。

20 【請求項 14】 左目用の映像データと右目用の映像データが同一フレーム周期内で交互に同一の前記記憶手段より読み出されることを特徴とする請求項 13 に記載の映像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、大型映像表示装置などに適用して好適な映像表示装置に関する。詳しくは、映像表示部を構成する複数の表示素子の発光輝度のばらつきを補正する電流補正値をメモリしておき、これら表示素子を駆動するとき、電流補正値を用いて駆動することによって、映像表示部内での発光輝度のばらつきを補正できるようにしたものである。

【0002】

【従来の技術】屋外で行われる各種イベント行事、屋外内球技場、スポーツ施設などでは大型の映像表示装置を設置し、イベント内容や競技結果などを大型の映像表示部（パネル若しくはスクリーン）に表示するようにしている。

【0003】このような目的で使用される映像表示装置は図 13 に示すように映像ソース源（VTR など）12 を有し、これより送出された映像ソース（イベント内容、競技内容、ドラマ番組など）は信号処理装置 30 に供給されて映像表示部 14 に適した信号形態に変換されたのち、この映像表示部 14 に供給されて所望の映像が表示される。映像表示部 14 は大型画面（例えば、4 m × 3 m など）に適した構成となされている。

【0004】映像表示部 14 は複数ドットの集合体であって、図 14 にその一例を示す。同図の例では同図 A に示すように赤 R、緑 G、青 B を発光する各表示素子のトリオで単位ドット（以下ドットという）16 が構成さ

れ、このドット16がp行q列($p=q=4$ を例示する)に亘って配列されて単位セル18が構成される(同図B)。さらに、この単位セルがm行n列($m=n=4$ を例示)に亘り縦横に配列されて単位ユニット20(同図C)が構成される。そして、この単位ユニット20を集合させることによって大型の映像表示部14が構築される。

【0005】このような映像表示部14では充分な発光輝度を得るためなどの目的からドットを構成するRGBトリオとなる表示素子16自体を夫々独立したドライバで駆動するようにしている。通常、 4×4 ドット $=4 \times 4 \times 3=48$ 個の表示素子を個々のドライバで駆動する。

【0006】しかし、図15に示すように、単位セルが $4 \times 4=16$ ドットであったとしても、 $16 \times 3=48$ 個のドライバを用意しなければならず、ドライバ回路の規模が大型化するきらいがあった。これを解決する手段として2個の表示素子を1つのドライバで駆動するように切り替え手段を設けることによって、ドライバ数を1/2に削減する手段を採用したものが提案されている。

【0007】図16はその一例を示す要部の系統図であって、図15のように1セルが48個の表示素子で構成されているときには、その1/2である24個分を駆動するようにドライバ回路32が構成される。したがって、同図に示すように24個分の映像データS0~S23をラッチするラッチ回路33a~33wとその後段に接続されたドライバ34a~34wとでドライバ回路(ICドライバ)32が構成され、各ドライバ34a~34wの出力はスイッチング手段35を介して対応する表示素子RU0~BL7に接続される。

【0008】例えば、図15のようにnラインとn+2ラインにおける同一色の表示素子RU0~RU7、GU0~GU7、BU0~BU7(上段素子群U)を同時に駆動し、次のタイミングには残りのn+1ライン及びn+3ラインにおける同一色の表示素子RL0~RL7、GL0~GL7、BL0~BL7(下段素子群L)を同時に駆動する。つまり、所定の周期でこれら表示素子群U、Lを交互に駆動する。

【0009】その一例を図17に示す。同図は1フレームの時間(1/30秒)を複数回(16回位)に亘り交互に切り替えるようにした場合である。この1フレームの期間は同一の映像データが対応する表示素子に供給される。

【0010】

【発明が解決しようとする課題】ところで、このように複数の表示素子で映像表示部14を構成する場合、使用する表示素子によっても相違するが、例えば発光ダイオード素子(LED)を表示素子として使用する場合には、素子個々には発光輝度のばらつきがあるので、前もって使用する全ての表示素子の発光輝度が一定となるよ

うに素子を駆動する電流値を補正する必要がある。

【0011】電流補正方法としては、表示素子を駆動するドライバの定数を調整することが考えられるが、こうすると単位セルを交換したようなとき、この単位セル内に設けられた表示素子に対し、新たな電流補正值となるように対応するドライバ個々を調整し直さなくてはならない。これは非常に面倒である。

【0012】そこで、この発明はこのような従来の課題を解決したものであって、表示素子を交換したようなときでも発光輝度を調整するための電流補正值を簡単にセットできるようにした映像表示装置を提案するものである。

【0013】

【課題を解決するための手段】上述の課題を解決するため、請求項1に記載したこの発明に係る映像表示装置では、縦横に複数の表示素子が配列されて構成された単位セルを有し、この単位セルを複数配列して映像表示部が構成されると共に、これら複数の表示素子に供給する映像データをメモリする第1のメモリ手段と、上記表示素子の発光輝度のばらつきを補正するための補正データをメモリする第2のメモリ手段とが設けられ、上記第2のメモリ手段から読み出された補正データに基づいて上記表示素子が駆動されるようになされたことを特徴とする。

【0014】この発明では、表示素子の発光輝度のばらつきを補正するための補正データ(電流補正值)を第2のメモリ手段に格納しておく。そして表示素子が駆動されるときはこの表示素子に関連する電流補正值に基づいて駆動する。これによって複数の表示素子は同一の輝度レベルで発光する。単位セルなどを交換したり、特定の単位セルの輝度を再調整するときには、当該単位セルに関する新たな電流補正值に更新する。こうすることによって単位セルを交換したときでも映像表示部全体の輝度を揃えることができる。

【0015】表示素子は1フレーム内で交互に同じ映像データを用いて駆動されるが、この場合の映像データは第1の記憶手段にストアされているデータを読み出すだけであるから、映像データは高速で処理できるようになる。

【0016】

【発明の実施の形態】続いて、この発明に係る映像表示装置の一実施形態を上記した大型映像表示装置に適用した場合につき、図面を参照して詳細に説明する。したがって、この映像表示装置を構成する映像表示部も、図14に示す従来例と同様にRGBトリオが1ドット16として構成され、このドットが複数集合して単位セル18が構成され、この単位セルを集合させたユニット20を縦横に配列して大型の映像表示部14が構成される。

【0017】表示素子としては、有機発光表示素子(有機EL)、発光ダイオード素子(LED)、放電管、陰

極線管(CRT管)の何れか1つが使用される。以下の例は発光ダイオード素子を使用した場合である。

【0018】単位セル18は図14のように4×4ドットで構成される。このうち、nラインとn+2ラインを第1の表示素子群Uとし、n+1ラインおよびn+3ラインを第2の表示素子群Lとした場合、これら第1と第2の表示素子群U、Lが所定の周期をもって交互に駆動される。これによって、表示素子を駆動するドライバの数が半減する。図の例では1セル当たり24個のドライバ(RGBトリオ×8ドット=24)によってドライバ回路32が構成されることになる。

【0019】また、映像を表示する場合、この例では1024階調(0~1023ステップ)を表現できるようにするため、映像信号は10ビットのデジタル信号として取り扱われる。

【0020】図1は単位セル18に対して1個設けられた信号処理装置で、この信号処理装置30は単位ユニット20の背面側に複数個設置されて使用される。

【0021】図1において、VTR12などの映像ソースより出力された映像データは、第1のメモリ手段を構成する一対のメモリ41、42に供給され、それぞれ1フレーム分の映像データが蓄えられる。つまり、それぞれのメモリ41、42には2つの表示素子群U、Lを構成する単位セル18分の映像データ(=8ドット×2)が蓄えられる。一方を奇数フレーム用のメモリ(例えばRAM構成)41とするならば、他方は偶数フレーム用のメモリ(RAM構成)42となる。

【0022】したがって図2に示すようにフレーム周期のパルスDLDを基準にしてリード・ライトパルス(イネーブルパルス)R/Wが生成され(同図A、B)、これでメモリ41、42に対するリード・ライト処理が交互に行われる。したがって一方のメモリ(RAM・A)41がライトモードであるときは、他方のメモリ(RAM・B)はリードモードに制御されている。

【0023】これらメモリ41、42を制御するためデータリード用のカウンタ43が設けられ、ここには基本クロックCKの他にフレーム周期のデータリードパルスLDa(図6A)が供給され、リード・ライトパルスR/Wが生成される他、後述するキャリアパルスPaや、メモリ41、42に対するリード・ライト用アドレスADRなどが出力される。映像データのリードおよびライト期間は図6に示す同期パルスLDbに同期したレディパルスRDYがローレベルとなっている期間である。

【0024】リードモードにおいて、それぞれのメモリ41、42よりリードされる10ビット幅の映像データは後段のラッチ回路を含んだシフトレジスタ44に供給され、24クロックCKを用いて1つの表示素子群を構成する24個の表示素子分の映像データがラッチされる。

【0025】この10ビット表現の映像データは次のコ

ンパレータ45において、パルス幅変調(Pulse Width Modulation)された映像データ(10ビット値)となされた比較出力PWMiに変換される。そのため、キャリアパルスPaおよびクロックCKが制御信号生成回路50に供給されてカウンタ出力COが生成される。

【0026】制御信号生成回路50は図3に示すように複数のカウンタ51~54で構成される。第1のカウンタ51にはキャリアパルスPaとクロックCKが供給されて、図4に示すようなクロックCKに同期したカウンタ出力COが生成される。この制御信号生成回路50ではさらに第2のカウンタ52が設けられ、キャリアパルスCPをカウントすることによって表示素子群U、Lを交互に駆動するための切り替えパルスXUL(図6E)が生成される。さらに、第3および第4のカウンタ53、54が設けられ、第3のカウンタ53より後述するRGBトリオを点順次で駆動するためのパルスXR、XG、XBがそれぞれ生成され、またこの点順次駆動のときに使用する表示素子群U、Lに対する切り替えパルスXUL'などが生成される。

【0027】また、第1のカウンタ51には輝度レベルをコントロールするための4ビット構成の輝度レベルコントロール信号BRTが供給される。この輝度レベルは映像表示部20全体の輝度レベルを外光に応じて手動によりコントロールするためのもので、この例では16段階に亘り輝度レベルをコントロールできるようになっている。

【0028】輝度レベルはパルス幅の周期の長短によってコントロールするもので、例えば図5Aのように高輝度レベル状態に制御する場合には単位周期Thを長めに設定し、低輝度レベル状態に制御する場合には単位周期Tlを短めに設定する。周期の長短を制御する因子として4ビットのコントロール信号BRTが与えられるので、1サイクルの最大値は1024×24クロック幅となる。コントロール信号BRTは第1のメモリ41に対して外部から与えられる。

【0029】コンパレータ45ではラッチされた映像データの10ビットデータとカウンタ出力COの値が一致するまでハイレベルの信号を出力する。したがって10ビットの値に応じて図6Dに示すようなパルス幅の異なる比較出力PWMiが得られる。10ビットデータをパルス幅の長短に変換した比較出力PWMiは表示素子分(24個分)だけ得られる。このパルス幅に相当する時間だけ表示素子が駆動される。

【0030】ここで、表示素子は同じ電流を流しても発光輝度レベルが相違する。つまり個々にばらつきがある。発光色を含めた表示素子個々のばらつきを吸収(補正)するため、表示素子個々の補正データつまり電流補正值が外部より与えられる。そのため、第2のメモリ手段として電流補正用のメモリ手段(RAMなど)60が設けられ、映像データと共に外部からこのメモリ手段6

0に予め用意された表示素子48個分の電流補正データ(10ビット構成)がメモリされる。電流補正データも表示素子群に対応したものととしてメモリされており、この電流補正データはラッチ回路を含んだシフトレジスタ61に供給されて、1つの表示素子群を構成する24個分の電流補正データがラッチされる。

【0031】この電流補正データは表示素子の交換時や再調整時に更新される。また、メモリ手段60を設けたのは、上述したように単位セル18が交換されたり、再調整を行うようなときでも、交換され、再調整された表示素子に対する電流補正データとして改めて外部から設定できるようにするためである。

【0032】これら電流補正データはD/A変換器62に供給されて24個分のアナログ補正電流値I0、I1、I2、・・・I23に変換される。これら補正電流値は対応するドライバ34a～34wに供給される。ドライバ34a～34wには上述した比較出力PWMiが与えられ、これがハイレベルの間だけドライバが動作するように構成されている。

【0033】ドライバ34a～34wと表示素子との間には切り替え手段(スイッチング手段)35が設けられている。切り替え手段35は従来例でも述べたようにドライバ数を1/2に削減すべく、上端と下段の表示素子(例えば表示素子RU0、RL0の組、以下同様)を単一のドライバ(34a、34b、・・・34w)で交互に駆動できるようにするためである。

【0034】図7は切り替え手段35の具体例を示す。本例では半導体スイッチング素子としてMOSTランジスタを使用してドライバ出力を切り替えている。すなわち、図8からも明らかなように、第1の表示素子群Uは赤を発光する8つの表示素子RU0～RU3およびRU4～RU7と、緑を発光する8つの表示素子GU0～GU3およびGU4～GU7と、青を発光する8つの表示素子BU0～BU3およびBU4～BU7とで構成される。

【0035】同様に第2の表示素子群Lは赤を発光する8つの表示素子RL0～RL3およびRL4～RL7と、緑を発光する8つの表示素子GL0～GL3およびGL4～GL7と、青を発光する8つの表示素子BL0～BL3およびBL4～BL7とで構成される。

【0036】これら表示素子群UとLが1フレームの間、それぞれ対応する映像データ(同一色に関しては同じデータ)を用いて交互に駆動されて映像が表示される。

【0037】これを実現するため、第1の表示素子群Uを構成する表示素子RU0にはトランジスタSRU0を介して、また第2の表示素子群Lを構成する表示素子RL0にはトランジスタSRL0を介してそれぞれドライバ34aが共通に接続される。

【0038】トランジスタSRU0、SRL0は切り替え信号XULでスイッチングされる。したがってトランジ

スタSRU0がオンしたときは、図6D、Eに示すように表示素子RU0に対応した映像データS0に基づく第1の駆動電流I0(電流補正を行ったもの)によってこの表示素子RU0が時分割駆動される。次に、他方のトランジスタSRL0がオンしたときは、表示素子RL0に対応した映像データS0'に基づく第1の駆動電流I0'(電流補正を行ったもの)によってこの表示素子RL0が時分割駆動される。他の表示素子に対しても同様な構成となされ、切り替え信号XULを使用して対応する表示素子GU1、GL1、・・・BU7、BL7の切り替えが行われる。

【0039】ここで、同一フレーム内での映像データのシフト処理およびデータラッチ処理は、メモリ41、42からのデータを読み出してこれをシフトしたり、ラッチしたりする処理のみであるから、これらの処理は何れも図6に示す非常に短かな期間Wα内で行うことができる。その結果、切り替え信号XULの周期が短い場合であっても、映像データの取り込みには全く支障がなくなり、切り替え信号XULで高速スイッチングしながら表示素子を時分割駆動できるようになる。これによって、映像フリッカを防止できる。

【0040】また、表示素子個々の輝度レベルのばらつきを補正するために、同一の輝度レベルとなるような電流補正データをそれぞれの表示素子に対してメモリし、表示素子を駆動するときこの電流補正データに基づいて駆動することによって、単位セル内での輝度レベルのばらつきは勿論のこと、単位ユニット20を複数用いて構成した映像表示部14全体の輝度レベルのばらつきを補正できる。

【0041】図9以降はこの発明に係る他の実施形態を示すものである。

【0042】図1の構成では表示素子毎に相違する駆動電流値をD/A変換して対応するドライバに供給したが、この変形例として図9を示す。

【0043】図9の例では、電流補正值をメモリ手段60から読み出して24個分シフトし、それらをラッチするまでは同じである。ラッチされた電流補正值は、ラッチされた映像データと共に乗算器65に供給されて映像データそのものがこの電流補正值による重み付けを受ける。これによって10ビットの映像データ内容が電流補正值に応じて変更される。重み付けされた映像データがコンパレータ45でパルス幅に変換される。

【0044】一方、ドライバ34a～34wは全て定電流源66に接続されており、重み付けされた比較出力PWMiによってドライバ34a～34wの動作期間がコントロールされる。このように構成した場合でも表示素子個々のばらつきを吸収して発光表示させることができる。

【0045】図1および図9の例は第1および第2の表示素子群の中の同一色の表示素子を切り替え信号XUL

の周期で交互に駆動すると共に、同一色の表示素子は同時に駆動される順次駆動方式を説明した。この順次駆動方式に対してRGBトリオを順次発光させる点順次駆動方式でも映像を表示できる。

【0046】その場合には、例えば同一列に位置するドットのうち、上段のドットと下段のドットをペアとして駆動する。図10を参照して説明すると、例えば図8に示すドット構成では、上下に位置する一対のドットを構成するRGBトリオのうち、上段のRGBトリオ(RU0, GU0, BU0)をまず点順次駆動し、次の周期では下段のRGBトリオ(RL0, GL0, BL0)を点順次駆動する(図10D)。残りのペアも同様な点順次駆動となる。例えば上段のRGBトリオ(RU3, GU3, BU3)と下段のRGBトリオ(RL3, GL3, BL3)がペアとなって点順次駆動される。これを1フレーム内で繰り返す。映像データの取り込みは図1の場合と同様にレディーパルスRDYのローレベル期間Wa内で行う。

【0047】この処理を行うため、図11のように第1および第2の切り替え手段35, 70がそれぞれ設けられている。第1の切り替え手段35は各ドットに対して3つのスイッチング素子(SUR0, SGU0, SBU0)、(SUR1, SGU1, SBU1)・・・(SUR7, SGU7, SBU7)が使用され、それぞれには図10に示す切り替え信号XR, XG, XBが共通に供給される。

【0048】またそれぞれのドット16を選択するため一対のスイッチング素子(SU0, SL0)、(SU1, SL1)・・・(SU7, SL7)で構成された第2の切り替え手段70が設けられ、切り替え信号XUL'(図3、図10参照)によって交互に切り替えられる。

【0049】そして、上段のRGBトリオに対する映像データに基づく駆動電流IRU0~IBU0と、下段のRGBトリオに対する映像データに基づく駆動電流IRL0~IBL0が共通のドライバ出力としてこれら切り替え手段35, 70に供給される。この構成によって上下のRGBトリオをペアとして同一のドライバで駆動することができる。

【0050】つまり、このように構成することによって、6個の表示素子を1個のドライバで駆動できるため、図1などの構成よりもさらにドライバの数を減らすことができる。

【0051】図12に示す実施形態は、図9のさらに変形例であって、この例では立体映像を実現できる構成を示してある。この場合には左目用の映像データと右目用の映像データとが必要である。そのため、1フレーム分の映像データとしてこれら左右の映像データを同一のメモリ41, 42に蓄える。したがってメモリの容量は図1よりも2倍必要になる。

【0052】そして、RGBトリオを点順次で駆動する場合、図12に示すように上下のドットの駆動周期

10

20

30

40

50

を単位として、最初には左目用の映像データを読み出して表示素子を駆動し、次の周期では右目用の映像データを読み出して表示素子を駆動する。これを1フレーム内で数回繰り返す。映像を視る人は立体目がねを使用する。立体目がねは図12の左右映像データに同期して左右目のシャッタを交互に開閉する。例えば、左目用の映像が映し出されているときには左目のシャッタを開けるようにすればよい。

【0053】こうすることによって映像フリッカなしで立体映像を楽しむことができる。その構成も簡単である。

【0054】

【発明の効果】以上説明したようにこの発明では、映像データを記憶手段に格納すると共に、複数の表示素子で映像表示部を構成した場合、表示素子個々の発光輝度のばらつきを補正する補正データを記憶手段に格納し、表示素子を駆動するときはこの補正データを用いて駆動するようにしたものである。

【0055】これによれば、高速で読み出された映像データに対し、映像表示部全体の発光輝度のばらつきを確実に補正できると共に、表示素子を交換したり、輝度レベルを再調整するようなときでも、それらに対する新しい補正データを同じメモリ手段にメモリし直すだけでよい。したがって発光輝度のばらつき補正を非常に簡単に行うことができる。

【0056】したがって、この発明は上述したように多数の表示素子で構成される大型の映像表示装置などに適用して極めて好適である。

【図面の簡単な説明】

【図1】この発明に係る映像表示装置を構成する1セルに対する信号処理装置の第1の実施形態を示す要部の系統図である。

【図2】メモリに対する書き込みと読み出しのタイミングを示す図である。

【図3】制御信号生成回路の系統図である。

【図4】カウンタ出力の説明図である。

【図5】輝度調整の説明図である。

【図6】映像表示のタイミングチャートである。

【図7】スイッチング回路の一構成図である。

【図8】RGBトリオとセル構成を示す図である。

【図9】信号処理装置の第2の実施形態を示す要部の系統図である。

【図10】図8における映像表示のタイミングチャートである。

【図11】図8におけるスイッチング回路の一接続図である。

【図12】立体映像表示のときのタイミングチャートである。

【図13】大型映像表示装置の系統図である。

【図14】RGBトリオとセルの関係を示す図である。

【図15】セルとRGBトリオの説明図である。

【図16】ドライバと表示素子との関係を示す接続図である。

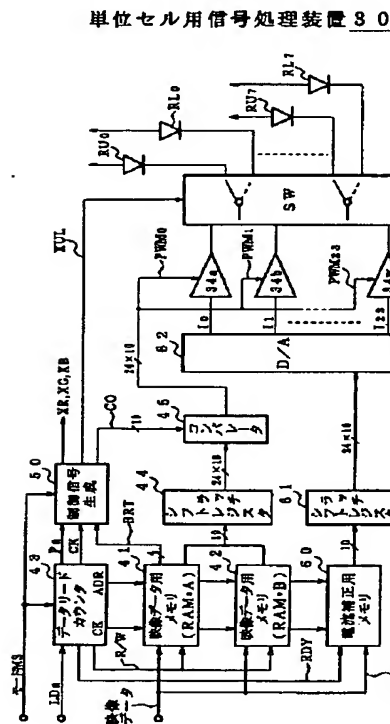
【図17】切り替えタイミングと読み込みの関係を示す図である。

【符号の説明】

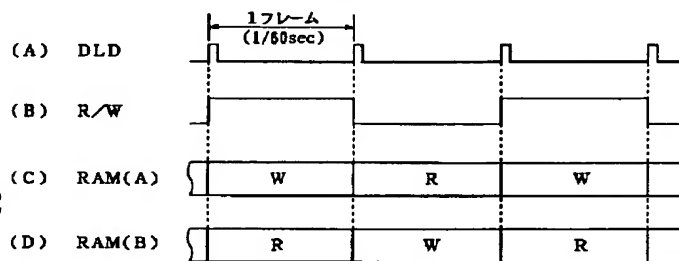
12・・・映像ソース、14・・・大型表示パネル、1*

*6・・・RGBトリオ、18・・・セル、20・・・ユニット、30・・・信号処理装置、34a～34w・・・ドライバ、35、70・・・切り替え手段、41、42・・・メモリ手段、43・・・データリードカウンタ、45・・・コンパレータ、50・・・制御信号生成回路、62・・・D/A変換器、RU0～BL7・・・表示素子

【図1】

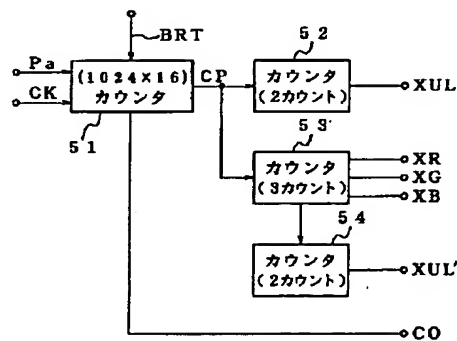


【図2】

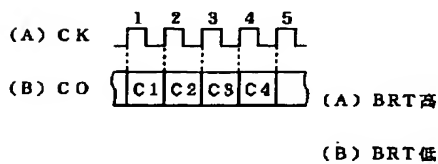


【図3】

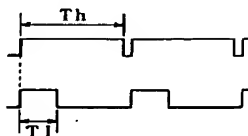
制御信号生成回路 50



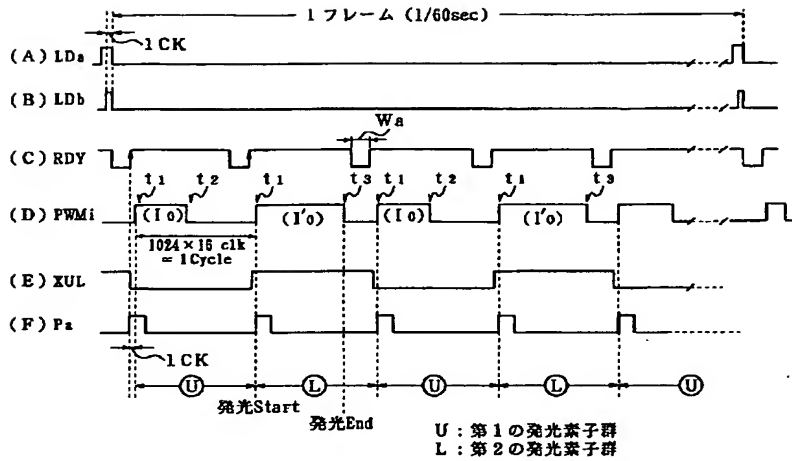
【図4】



【図5】

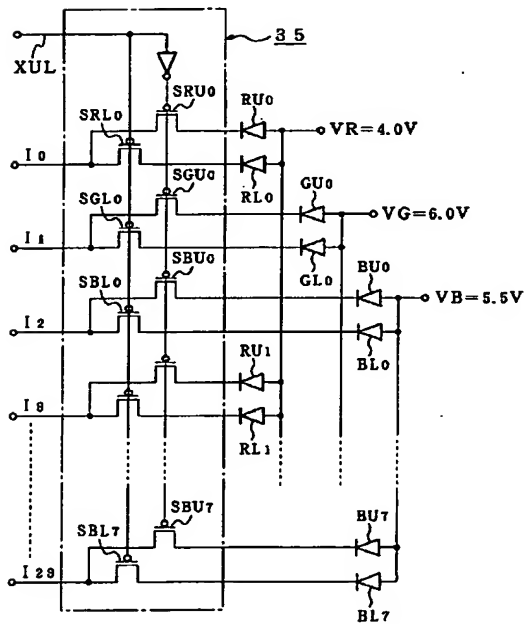


【図6】



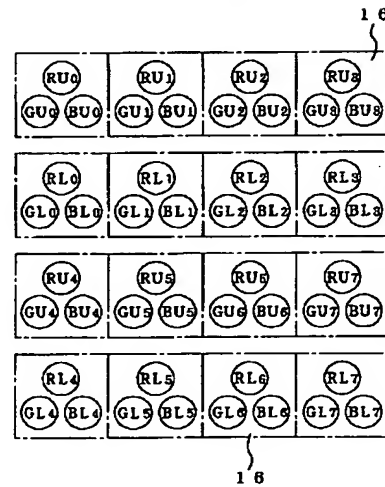
【図7】

切り替え手段

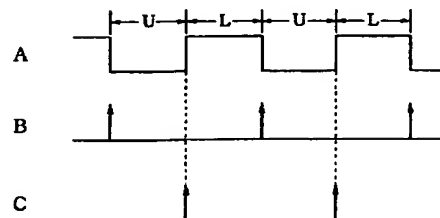


【図8】

セル構成

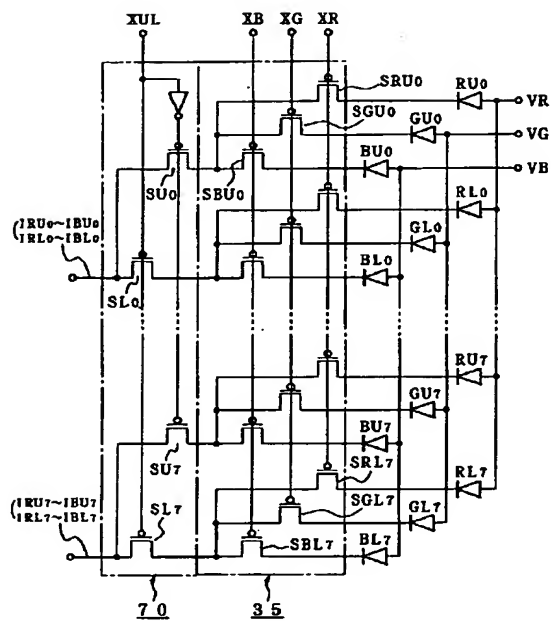


【図17】

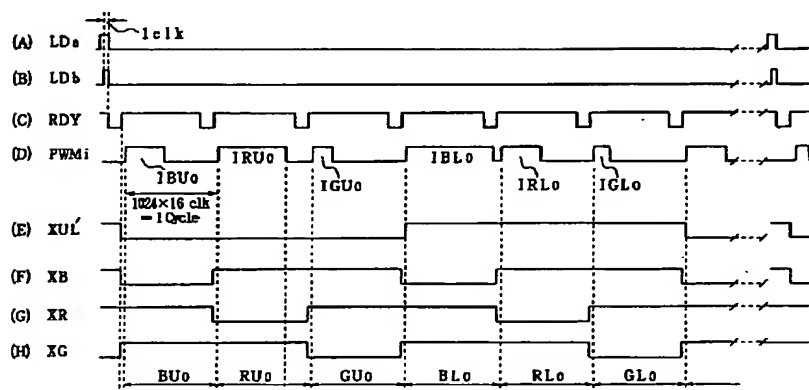


【圖 11】

切り替え手段

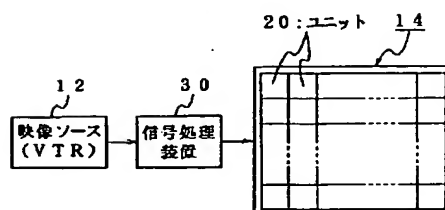


【圖 10】

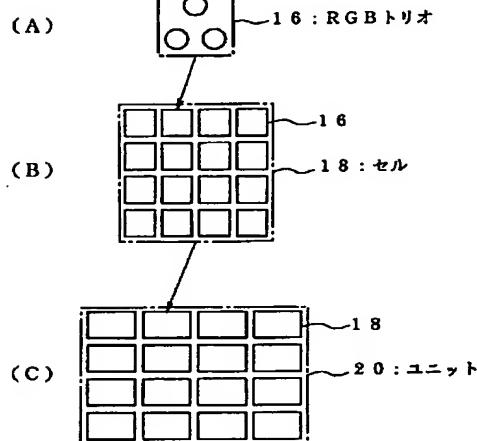


【圖 13】

大型映像表示装置 10



映像表示パネル



【图 16】

